

A 8

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 08321833

(43)Date of publication of application: 03.12.1996

(51)Int.Cl.

H04L 12/28
H04L 12/56
H04Q 3/00

(21)Application number: 07125266

(71)Applicant:

SONY CORP

(22)Date of filing: 24.05.1995

(72)Inventor:

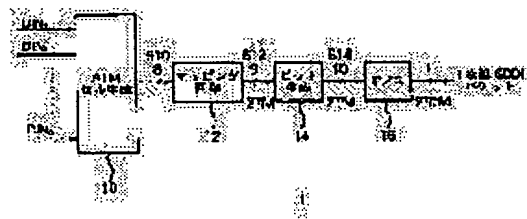
IWASAKI ATSUSHI

(54) METHOD AND DEVICE FOR DATA TRANSMISSION

(57)Abstract:

PURPOSE: To improve transmission efficiency by converting the header of an ATM cell with one word/eight bits into one word/nine bits, adding the logical inverse value, converting it into one word/ten bits, generating the primary group transmission packet of an SDDI system and transmitting a secondary group transmission packet.

CONSTITUTION: A data transmission device 1 consists of an ATM (asynchronous transmission mode) cell device 10, and a bit generation circuit 14. The device generates the ATM cell including input data DIN1-DINn, sets it to fit to an SDDI (serial digital conversion interface) packet and transmits it to the system of the SDDI system. The SDDI packet is converted in the first stage of eight bits/ten bits conversion and the second stage of eight bits/ten bits conversion. The packet is fitted to the PAD cell of the SDDI packet and data included in the ATM cell received from an ATM communication network can be transmitted in the transmission system of the SDDI system.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

MENU

SEARCH

INDEX

DETAIL

(11)特許出願公開番号

特開平8-321833

(43)公開日 平成8年(1996)12月3日

(51)Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	E
12/56			H 0 4 Q 3/00	
H 0 4 Q 3/00		9466-5K	H 0 4 L 11/20	1 0 2 F

審査請求 未請求 請求項の数6 O.L (全 17 頁)

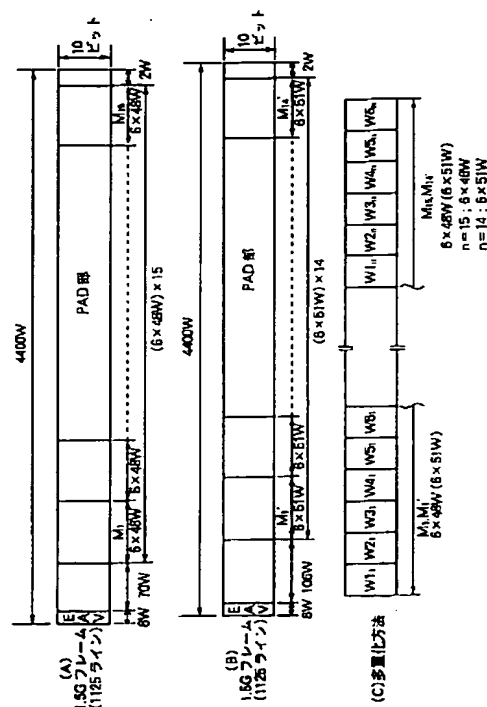
(21)出願番号	特願平7-125266	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成7年(1995)5月24日	(72)発明者	岩崎 惇 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
		(74)代理人	弁理士 佐藤 隆久

(54) 【発明の名称】 データ伝送方法およびその装置

(57) 【要約】

【目的】放送機器等の間の音声・映像データの伝送に好適なSDIパケットおよびSDDIパケットとATMセルの整合をとる。

【構成】 1ワード8ビットのATMセルを1ワード10ビットに変換して得られたSDDIパケット6個を、ATM方式において6つの1次群伝送パケットを1つの2次群伝送パケットに多重化する方法と同様にワード多重化して1.5Gbpsのシリアル伝送に用いられるSDDI方式の1.5Gフレームを生成する。



【特許請求の範囲】

【請求項 1】 1ワード8ビット構成のATMセルのヘッダ、または、前記ATMセルのヘッダおよびペイロードの一部に所定のデータをこれらの第9ビットとして付加して1ワード9ビット構成に変換し、

前記ATMセルのペイロードの全部または残りの部分を並び換えて1ワード9ビット構成に変換し、

1ワード9ビット構成に変換した前記ATMセルのヘッダおよびペイロードの第9ビットの論理反転値をこれらの第10ビットとして付加して1ワード10ビット構成に変換し、

1ワード10ビット構成に変換した前記ATMセルのヘッダおよびペイロードを、所定の部分に複数含む1ワード10ビット構成の所定の伝送方式（SDI方式またはSDDI方式）の1次群伝送パケットを生成し、

所定数の前記1次群伝送パケットに含まれる10ビット構成に変換した前記ATMセルのヘッダおよびペイロードをワード単位で多重化し、前記所定の伝送方式の2次群用伝送路を用いて前記所定の伝送方式の2次群伝送パケットを送信するデータ伝送方法。

【請求項 2】 所定数の前記1次群伝送パケットそれぞれから1ワード10ビット構成に変換した前記ATMセルのヘッダおよびペイロードが含まれない領域を除去し、前記領域を除いた所定数の前記1次群伝送パケットを多重化して前記2次群伝送パケットを生成する請求項1に記載のデータ伝送方法。

【請求項 3】 前記2次群伝送パケットを受信して記憶し、

記憶した前記2次群伝送パケットの所定の位置に、この2次群伝送パケットに含まれる前記1次群伝送パケットそれぞれの前記領域を挿入し、

前記領域を付加した前記2次群伝送パケットをワード単位で分離して所定数の前記1次群伝送パケットを再生する請求項2に記載のデータ伝送方法。

【請求項 4】 1ワード8ビット構成のATMセルのヘッダ、または、前記ATMセルのヘッダおよびペイロードの一部に所定のデータをこれらの第9ビットとして付加して1ワード9ビット構成に変換する第1の8ビット・9ビット変換手段と、

前記ATMセルのペイロードの全部または残りの部分を並び換えて1ワード9ビット構成に変換する第2の8ビット・9ビット変換手段と、

1ワード9ビット構成に変換した前記ATMセルのヘッダおよびペイロードの第9ビットの論理反転値をこれらの第10ビットとして付加して1ワード10ビット構成に変換する9ビット・10ビット変換手段と、

1ワード10ビット構成に変換した前記ATMセルのヘッダおよびペイロードを、所定の部分に複数含む1ワード10ビット構成の所定の伝送方式（SDI方式またはSDDI方式）の1次群伝送パケットを生成する1次群

伝送パケット生成手段と、

所定数の前記1次群伝送パケットに含まれる10ビット構成に変換した前記ATMセルのヘッダおよびペイロードをワード単位で多重化し、前記所定の伝送方式の2次群伝送パケットを生成する2次群伝送パケット生成手段と、

生成した前記2次群伝送パケットを前記所定の伝送方式の2次群伝送パケット用の伝送路を用いて伝送する伝送手段とを有するデータ伝送装置。

10 【請求項 5】 所定数の前記1次群伝送パケットそれぞれから1ワード10ビット構成に変換した前記ATMセルのヘッダおよびペイロードが含まれない領域を削除する領域削除手段をさらに有し、

前記2次群伝送パケット生成手段は、前記領域を除いた所定数の前記1次群伝送パケットを多重化して前記2次群伝送パケットを生成する請求項4に記載のデータ伝送装置。

【請求項 6】 前記2次群伝送パケットを受信して記憶する記憶手段と、

20 記憶した前記2次群伝送パケットの所定の位置に、この2次群伝送パケットに含まれる前記1次群伝送パケットそれぞれの前記領域を挿入する領域挿入手段と、

前記領域を付加した前記2次群伝送パケットをワード単位で分離して所定数の前記1次群伝送パケットを再生する1次群伝送パケット再生手段とをさらに有する請求項5に記載のデータ伝送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、SDI方式(SMPTE-259 M)等とATM方式とを適合させてデータの送信および受信を行うデータ送信方法およびデータ受信方法およびこれらの方法に関する。

【0002】

【従来の技術】 データ通信の分野においては、ビデオデータ、オーディオデータおよび計算機用データ等を非同期のままセル化し、一元的に取り扱って伝送するATM (Asynchronous Transfer Mode) 方式が、ITU-T、ANSI等の機関で標準化されている。ATM方式の物理層としては、SDH (Synchronous Digital Hierarchy) 方式のSTM-1 (155.52Mbps)、STM-4 (622.08Mbps) およびSTM-16 (2.48832Gbps) が主に用いられる。

【0003】 一方、放送の分野において、データ伝送方式としてSDI (Serial Digital Interface) 方式がSMPTE (Society of Motion Pictures and Television Engineers) によりSMPTE-259Mとして標準化されており、広く用いられている。SDI方式は、1チャンネル分の非圧縮ビデオデータを270Mbpsのデータ速度でシリアル伝送する方式であって、垂直ブラッキング期間に対応する所定の位置に、オーディオデー

3

タおよびデータ処理に用いられる補助データ等をビデオデータに多重化して伝送することができる。放送の分野においては、SDI方式のデータ伝送システムが、今後インフラストラクチャーとして用いられることになると考えられている。なお、SDI方式にはさらにD1方式とD2方式とがあり、以下、特記しない限り、単にSDI方式と記した場合にはD1方式を意味する。

【0004】さらに、標準テレビジョン方式に対応するSDI方式の他に、高品位テレビジョン(HDTV)方式に対応するHDS DI方式(1.485Gbps)が提案されており、目下、SMPTEにおいて審議中である。また、SDI方式を改良して複数チャネルの圧縮または非圧縮のビデオデータおよびオーディオデータ、あるいは、計算機用のデータ等を伝送可能としたSDDI(Serial Digital Data Interface)方式も提案されており、このSDDI方式はSDI方式の上位バージョンとして位置づけられる。

【0005】

【発明が解決しようとする課題】しかしながら、SDI方式およびSDDI方式は、放送機器等の間の音声・映像データの伝送に好適である一方、ATM方式との適合性が低い。例えば、SDDI方式およびSDI方式の伝送 packets (SDDI packets、SDI packets) のフォーマットはATM方式の伝送 packets (ATMセル) のフォーマットと異なるため、SDDI packets および SDI packets を直接、ATM方式の通信回線との間で送受信することはできない。また、SDI方式およびSDDI方式においては、1つの伝送 packets に1つの宛て先アドレスしか含めることができないので、伝送制御等に用いられる短い制御データ1つを伝送する際にも1つの伝送 packets (packets 長 1716W または 1728W) を用いる必要があるといったように、データの伝送の効率が低下する場合がある。

【0006】本発明は、上述した従来技術の問題点に鑑みてなされたものであり、放送機器等の間の音声・映像データの伝送に好適なSDI packets およびSDDI packets とATMセルとを整合させることができるデータ送信方法およびデータ受信方法およびこれらの装置を提供することを目的とする。また、本発明は、SDI packets およびSDDI packets に複数のアドレスを含めることを可能とし、伝送制御等に用いられる短い制御データを伝送する場合にもデータの伝送の効率が低下しないデータ送信方法およびデータ受信方法を提供およびこれらの装置することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明に係るデータ伝送方法は、1ワード8ビット構成のATMセルのヘッダ、または、前記ATMセルのヘッダおよびペイロードの一部に所定のデータをこれらの第9ビットとして付加して1ワード9ビット構成に変

4

換し、前記ATMセルのペイロードの全部または残りの部分を並び換えて1ワード9ビット構成に変換し、1ワード9ビット構成に変換した前記ATMセルのヘッダおよびペイロードの第9ビットの論理反転値をこれらの第10ビットとして付加して1ワード10ビット構成に変換し、1ワード10ビット構成に変換した前記ATMセルのヘッダおよびペイロードを、所定の部分に複数含む1ワード10ビット構成の所定の伝送方式(SDI方式またはSDDI方式)の1次群伝送 packets を生成し、所定数の前記1次群伝送 packets に含まれる10ビット構成に変換した前記ATMセルのヘッダおよびペイロードをワード単位で多重化し、前記所定の伝送方式の2次群用伝送路を用いて前記所定の伝送方式の2次群伝送 packets を伝送する。

【0008】好適には、所定数の前記1次群伝送 packets それぞれから1ワード10ビット構成に変換した前記ATMセルのヘッダおよびペイロードが含まれない領域を除去し、前記領域を除いた所定数の前記1次群伝送 packets を多重化して前記2次群伝送 packets を生成する。

【0009】好適には、前記2次群伝送 packets を受信して記憶し、記憶した前記2次群伝送 packets の所定の位置に、この2次群伝送 packets に含まれる前記1次群伝送 packets それぞれの前記領域を挿入し、前記領域を付加した前記2次群伝送 packets をワード単位で分離して所定数の前記1次群伝送 packets を再生する。

【0010】また、本発明に係るデータ伝送装置は、1ワード8ビット構成のATMセルのヘッダ、または、前記ATMセルのヘッダおよびペイロードの一部に所定のデータをこれらの第9ビットとして付加して1ワード9ビット構成に変換する第1の8ビット・9ビット変換手段と、前記ATMセルのペイロードの全部または残りの部分を並び換えて1ワード9ビット構成に変換する第2の8ビット・9ビット変換手段と、1ワード9ビット構成に変換した前記ATMセルのヘッダおよびペイロードの第9ビットの論理反転値をこれらの第10ビットとして付加して1ワード10ビット構成に変換する9ビット・10ビット変換手段と、1ワード10ビット構成に変換した前記ATMセルのヘッダおよびペイロードを、所定の部分に複数含む1ワード10ビット構成の所定の伝送方式(SDI方式またはSDDI方式)の1次群伝送 packets を生成する1次群伝送 packets 生成手段と、所定数の前記1次群伝送 packets に含まれる10ビット構成に変換した前記ATMセルのヘッダおよびペイロードをワード単位で多重化し、前記所定の伝送方式の2次群伝送 packets を生成する2次群伝送 packets 生成手段と、生成した前記2次群伝送 packets を前記所定の伝送方式の2次群伝送 packets 用の伝送路を用いて伝送する伝送手段とを有する。

【0011】好適には、所定数の前記1次群伝送 packets

トそれぞれから1ワード10ビット構成に変換した前記ATMセルのヘッダおよびペイロードが含まれない領域を削除する領域削除手段をさらに有し、前記2次群伝送パケット生成手段は、前記領域を除いた所定数の前記1次群伝送パケットを多重化して前記2次群伝送パケットを生成する。

【0012】好適には、前記2次群伝送パケットを受信して記憶する記憶手段と、記憶した前記2次群伝送パケットの所定の位置に、この2次群伝送パケットに含まれる前記1次群伝送パケットそれぞれの前記領域を挿入する領域挿入手段と、前記領域を付加した前記2次群伝送パケットをワード単位で分離して所定数の前記1次群伝送パケットを再生する1次群伝送パケット再生手段とをさらに有する。

【0013】

【作用】本発明に係るデータ伝送方法は、1ワード8ビット構成のATMセルを、放送局のインフラストラクチャーとして用いられているSDI方式、または、SDI方式を改良して圧縮画像データ等を伝送可能としたSDDI方式の1ワード10ビット構成の伝送パケットに変換して伝送することと可能とするデータ伝送方法である。本発明のデータ伝送方法において、ATMセルをSDI方式またはSDDI方式の伝送パケットに適合させるための8ビット→10ビット変換は、8ビット→9ビット変換（第1段階）と9ビット→10ビット変換（第2段階）との2段階で行われ、8ビット→10ビット変換の第1段階においては、ATMセルの各ワードが8ビットから9ビットに変換される。

【0014】少なくともATMセルのヘッダについては、上記8ビット→10ビット変換の第1段階は、少なくともATMセルのヘッダの各ワードの第8ビット（ビット位置は第1から開始する）、あるいは、固定値1または0をこれらの第9ビットとして付加することにより行う。SDI方式またはSDDI方式の伝送パケットとATMセルのビット数を合わせるために、ATMセルのペイロードの一部についても同様に8ビット→10ビット変換の第1段階を行ってもよい。このようにATMセルのヘッダについて8ビット→10ビット変換の第1段階を行うことにより、SDI方式またはSDDI方式のデータ伝送システムにおいてATMセルのヘッダを伝送制御に用いる場合に、並び換えることなく読み出すことができる。

【0015】ATMセルのペイロード部分、または、ヘッダと同じ8ビット→10ビット変換の第1段階が行われなかった残りの部分は、並び換えにより1ワード9ビット構成に変換される。

【0016】8ビット→10ビット変換の第2段階は、1ワード9ビット構成に変換したATMセルのヘッダおよびペイロードの第9ビットの論理反転値をこれらの第10ビットとして付加して1ワード10ビット構成に変

換することにより行われる。このように変換することにより、SDI方式またはSDDI方式において、同期符号（EAV, SAV）と同じとなるため禁止コードとされるオール1のワードが生じないというメリットがある。このように2段階に8ビット→10ビット変換された複数のATMセルは、SDI方式の1次群（270Mbps）伝送パケットのアクティブビデオ部またはSDDI方式の1次群伝送パケットのペイロード部に載せられる。

10 【0017】所定数（6本）の1次群伝送パケットから、10ビット構成に変換したATMセルのヘッダおよびペイロードが含まれない領域を除去してビット数を減らして伝送効率を上げ、ATM1次群信号を2次群信号に多重化する方法と同様にワード単位で多重化することによりATM方式との親和性を高めた、SDI方式またはSDDI方式の2次群伝送パケットを生成し、SDI方式またはSDDI方式の2次群伝送路を用いて伝送する。

20 【0018】また、本発明に係るデータ伝送装置が有する各手段は、上述した本発明に係るデータ伝送方法の各段階を実現する。

【0019】

【実施例1】以下、本発明の第1の実施例として、SDI方式の伝送パケット（SDDIパケット）とATM方式の伝送用セル（ATMセル）とを適合させ、SDDI方式の伝送システムとATM通信網とを接続する方法について説明する。図1は、第1の実施例におけるSDI方式（SMPTE-259M）を改良したSDDI方式の1次群SDDIパケットのペイロード部（PAD）をATM方式に対応したセルに分割する方法を示す図であって、

30 （A）は525（502）/60ビデオ信号用のSDDIパケットをセルに分割した場合を示し、（B）は625（610）/50ビデオ信号用の1次群SDDIパケットをセルに分割した場合を示す。ここで、525、625は、全領域を使用した場合を示している。（502）、（610）は、アクティブビデオ領域のみを示し、残りはアンシラリデータ等の領域として用いられる。

40 【0020】図1（A）、（B）に示すように、1次群SDDI伝送パケット（270MHz）は、SDI方式との整合性を保ち、SDI方式用に開発された半導体装置等を多く流用することができるようにするために、SDI伝送パケットに類似する構成になっている。つまり、525/60用1次群SDDIパケットおよび625/50用1次群SDDIパケットそれぞれのフレーム長は1716W、1728Wであり、ワード長は10ビットである。

50 【0021】また、同期符号EAV（End of Active Video）の内容は3FFh、000h、000h、XYZであり、同期符号SAV（Start of Active Video）の

位置は先頭から276W, 288W目である。なお、上述の同期符号EAVの内、XYZは、フィールド

(F)、VBLK(V)、H(EAV/SAVの別を示す)およびプロテクション符号からなり、詳細は、SMPT E-125Mにおいて規格化されている。

【0022】また、1次群SDDIパケットの最後の2WはCRC符号用に用いられ、同期符号SAVの直後からCRC符号の直前までの部分が音声・ビデオデータ

(AVデータ)が入るといったように、525/60用SDIパケットおよび625/50用SDIパケットと同じになっている。以下、各実施例において主にSDDIパケットについて説明するが、SDDIパケットとATMセルとの間の変換は、そのまま、あるいは、少しの変更でSDI方式の伝送パケットとATMセルとの間の変換に適用することができる。

【0023】図1(A)、(B)に示した2つの1次群SDDIパケットにおいては、垂直ブランキング期間

(VBLK)の内、各3ラインはユーザーが使用できないこととされており、他の垂直ブランキング期間VBLKはリザーブ領域とされている。このように、SDDI方式は、映像信号の垂直ブランキング期間VBLKに対応するラインの一部におけるデータの多重を禁止しているので、ユーザの自由な用途に開放されているこれら2つの伝送用パケットのペイロード部(PAD)のみを48W×29のセル(いわゆるアクティブビデオの部分)に分割する。

【0024】これらのセルに続く46Wは、ペイロード部の余りである。因みに、SDDI方式においては、水平ブランキング期間(HBLK)はアンシラリ領域としてSDDIパケットのヘッダとされており、SDI方式においては、VBLKはアンシラリ領域におけるユーザ領域とされている。

【0025】ここで、ATMセルのワード長は8ビット

$$P_1 = (h_{00}, h_{01}, \dots, h_{07}, d, x)$$

$$P_2 = (h_{10}, h_{11}, \dots, h_{17}, d, x)$$

.

.

$$P_5 = (h_{50}, h_{51}, \dots, h_{57}, d, x)$$

$$P_6 = (a_{10}, a_{11}, \dots, a_{17}, d, x)$$

.

.

$$P_8 = (a_{30}, a_{31}, \dots, a_{37}, d, x)$$

(=1バイト;B)であり、1つのATMセルの先頭には5バイトのヘッダがあり、48バイトの伝送の対象となるデータ(ペイロード)がヘッダに続く。従って、ATMセルそれぞれをSDDIパケットのペイロード部に含まれるセル(PADセル)それぞれに適合させるために8ビットから10ビットへのワード変換(8ビット→10ビット変換)が必要となる。以下、ATMセルとPADセルとの間の8ビット→10ビット変換の方法について説明する。

【0026】上述のように、SDDIパケットは、同期符号EAV, SAVとしてデータ3FFh, 000h, 000hを用いるので、SDDIパケットの他の部分においては同期符号EAV, SAVと同じデータは禁止コードとなっている。従って、8ビット→10ビット変換の際には、この禁止コードの出現を避けるために、8ビット→10ビット変換は、2段階で行う必要がある。

【0027】8ビット→10ビット変換の第1段階

まず、8ビット→10ビット変換の第1段階、つまり、8ビットデータを9ビットデータに変換する段階は、以下のようにヘッダとペイロードの第1～第3バイトとそれ以降の第4～第48バイトに分けて行われる。

【0028】ATMセルのヘッダとペイロードの最初の3バイトの変換

ATMセルのヘッダのデータ(5バイト)と、このヘッダに続くペイロードの最初の3バイトのデータの各バイトに1ビットのダミーデータdを付加して9ビットに変換する。この変換の内容は表1に示す通りとなる。このようにダミーデータを付加するのは、ヘッダを読み出す際に、ヘッダのデータを9ビットから8ビットに変換しなくてもすむからである。

【0029】

【表1】

... (1)

ただし、 $(H_i; h_{i0}, h_{i1}, \dots, h_{i7})$ は、ATMセルのヘッダの第iバイトと各ビットを示し(iは整数、 $1 \leq i \leq 5$)、 $(A_j; a_{j0}, a_{j1}, \dots, a_{j7})$ は、ATMセルのペイロードの第jバイトと各ビットを示し(jは整数、 $1 \leq j \leq 48$)、 P_k は、PADセルの第kワードを示し(kは整数、 $1 \leq k \leq 48$)、xは、DO NOT CAREを表す。

【0030】ATMセルのペイロードの第4～第48バ

イトから最後までの変換

ペイロードの第4バイトから第48バイトまでの45バイトは、9バイト×40ワードに仕切り直す。つまり、表1と同様に表記すると、この変換は表2に示す通りとなる。

【0031】

【表2】

$$P_9 = (a_{40}, a_{41}, \dots, a_{47}, a_{50}, x)$$

$$P_{10} = (a_{51}, a_{52}, \dots, a_{57}, a_{60}, a_{61}, x)$$

$$P_{47} = (a_{46,6}, a_{46,7}, \dots, a_{47,5}, a_{47,6}, x)$$

$$P_{48} = (a_{47,7}, a_{48,0}, \dots, a_{48,6}, a_{48,7}, x) \quad \dots (2)$$

【0032】8ビット→10ビット変換の第二段階

次に、8ビット→10ビット変換の第2段階、つまり、9ビットデータの109ビットデータへの変換は、例えば、PADセルの各ワード P_k の第10ビット p_{k9} として、第9ビット p_{k8} の論理値を反転した値を付加することにより行われる。従って、8ビット→10ビット変換の第二段階の後には、PADセルの各ワードの内容は、

$$P_1 = (h_{00}, h_{01}, \dots, h_{07}, d, d')$$

$$P_2 = (h_{10}, h_{11}, \dots, h_{17}, d, d')$$

$$P_5 = (h_{50}, h_{51}, \dots, h_{57}, d, d')$$

$$P_6 = (a_{10}, a_{11}, \dots, a_{17}, d, d')$$

$$P_8 = (a_{30}, a_{31}, \dots, a_{37}, d, d')$$

$$P_9 = (a_{40}, a_{41}, \dots, a_{47}, a_{51}, a_{51}')$$

$$P_{10} = (a_{50}, a_{51}, \dots, a_{57}, a_{60}, a_{61}, a_{61}')$$

$$P_{47} = (a_{46,6}, a_{46,7}, \dots, a_{47,5}, a_{47,6}, a_{47,6}')$$

$$P_{48} = (a_{47,7}, a_{48,0}, \dots, a_{48,6}, a_{48,7}, a_{48,7}') \quad \dots (3)$$

ただし、 d' はダミーデータの論理値を反転した値を示し、 a_{j1}' は、ビット a_{j1} の論理値を反転した値を示す（ 1 は整数、 $0 \leq 1 \leq 7$ ）。

【0034】以上に示したように、ATMセルの各バイトを8ビット→10ビット変換し、SDDIパケットのPADセルに適合させることにより、ATM通信網から受信したATMセルに含まれるデータをSDDI方式の伝送システム内で伝送することができる。また、逆に、表1～表3に示した変換と逆の変換を行うことにより、SDDI伝送システム内で伝送されるSDDIパケットのPADセルをATMセルに適合させることができ、S

$$H_1 = (p_{00}, p_{01}, \dots, p_{07})$$

$$H_2 = (p_{10}, p_{11}, \dots, p_{17})$$

$$H_5 = (p_{50}, p_{51}, \dots, p_{57})$$

$$A_1 = (p_{60}, p_{61}, \dots, p_{67})$$

$$A_3 = (p_{80}, p_{81}, \dots, p_{87})$$

ただし、 p_{km} は、PADセルの第 k ワード P_k の各ビットを示す（ m は整数、 $0 \leq m \leq 9$ ）。

表3の通りとなる。このように、PADセルの各ワード P_k の第10ビット p_{k9} を第9ビット p_{k8} の論理値を反転した値とすることにより、同期符号EAV、SAVと同じデータがPADセルに現れることを防ぐことができる。

【0033】

【表3】

SDDIパケットに含まれるデータをATM通信網に対して送出することができるようになる。つまり、PADセルをATMセルに適合させるためには、以下に述べるようにPADセルの各ワードを10ビットから8ビットに変換する。

【0035】表4に示すように、ダミーデータ d とその反転値 d' を取り除き、SDDIパケットのPADセルの第1～第8ワードをATMセルのヘッダとペイロードの第1～第3バイトに変換する。

【0036】

【表4】

... (4)

【0037】さらに、表5に示すように、PADセルの第9～第48ワードから第10バイトを取り去り、残つ

たPADセルの各ワードの9ビットデータを8ビットのATMセルのペイロードの第4～第48バイトのデータに区切り直す。

$$\begin{aligned} A_4 &= (p_{90}, p_{91}, \dots, p_{97},) \\ A_5 &= (p_{98}, p_{10,0}, \dots, p_{10,6}) \end{aligned}$$

$$A_{47} = (p_{47,2}, p_{47,3}, p_{47,4}, \dots, p_{48,0})$$

$$A_{48} = (p_{48,1}, p_{48,2}, p_{48,3}, \dots, p_{48,8})$$

【0038】

【表5】

… (5)

【0039】以上述べた方法によってATMセルをPADセルに変換すると、ダミーデータdおよびその論理反転値d'を取り除くだけでATMセルのヘッダ部分のデータを取り出すことができ、その配列を変換する必要がない。従って、伝送処理等において必要になった場合には、簡単な処理でATMヘッダに含まれるデータを取り出すことができ、迅速な伝送処理を行うことが可能になる。

【0040】また、以上述べた方法によれば、ATMセルをPADセルに変換する際に、PADセルの禁止コードが発生しない。従って、ATMセルに含まれるデータをトランスペアレント（透過的）にSDDI方式の伝送システム内で伝送することができる。また、以上述べた方法によれば、ATM通信網とSDDI方式の伝送システム相互を適合させ、これらの間でのデータ送受信を可能にすることができる。第1の実施例に示した方法は、既存のSDI方式のデータ伝送システムの伝送路等をそのまま流用可能であり、放送局等に導入しやすいという特徴を有する。

【0041】以上述べた第1の実施例において、SDDI伝送パケットのペイロード部をPDDセルに区切る方法、および、8ビット→10ビット変換の方法は例示であり、例えば、SDDI伝送パケットのペイロード部を53ワード×27のPADセルに区切り、PADセルの各ワードとATMセルの各バイトとを1対1に対応づけ、ATMセルの各バイトにダミーデータとその論理反転値を付加して8ビット→10ビット変換行ってもよい。また、表1に示した8ビット→10ビット変換の第1段階はATMセルのヘッダについてのみ必須であり、ペイロードの先頭部分については、それ以降の部分と同様に、表2に示した8ビット→10ビット変換を行ってもよい。

【0042】

【実施例2】以下、本発明の第2の実施例を説明する。図2は、図1に示した方法によりATMセルをSDDIパケットに適合させるデータ送信装置1の構成を示す図である。図2に示すように、データ送信装置1は、ATMセル生成装置10、マッピング回路12、ビット生成回路14およびパラレル/シリアル変換回路（P/S変換回路）16から構成されており、データ送信装置1に

10 用のデータ等の入力データ $DIN_1 \sim DIN_n$ （ n は整数）を含むATMセルを生成し、さらにSDDIパケットに適合させてSDDI方式のデータ伝送システム（図示せず）に送出する。なお、図示の簡略化のため、図2においては、データ送信装置1の各部分に対するタイミング信号を生成するタイミング系は省略して図示してある。

【0043】ATMセル生成装置10は、入力データ $DIN_1 \sim DIN_n$ の入力インターフェース回路を含んでおり、入力データ $DIN_1 \sim DIN_n$ をペイロードとして含むATMセルを生成し、ATMセルS10として8ビットパラレル形式でマッピング回路12に対して出力する。マッピング回路12は、第1の実施例において表1および表2に示した8ビット→10ビット変換の第1段階を行い、27Mbps・9ビットパラレル形式の第1の変換信号S12をビット生成回路14に対して出力する。

【0044】ビット生成回路14は、第1の実施例において表3に示したように、第1の変換信号S12の各ワードの第9ビットの論理値を反転し、各ワードの第10ビットとして付加して8ビット→10ビット変換の第2段階を行い、27Mbps・10ビットパラレル形式の第2の変換信号S14としてP/S変換回路16に対して出力する。P/S変換回路16は、第2の変換信号S14を270Mbps・シリアル形式の1次群SDDIパケットとしてSDDI方式のデータ伝送システムに対して送出する。

【0045】以下、データ送信装置1の動作を説明する。データ送信装置1に入力された入力データ $DIN_1 \sim DIN_n$ は、ATMセル生成装置10により入力データ $DIN_1 \sim DIN_n$ をペイロードとして含むATMセルS10に変換され、マッピング回路12に入力される。マッピング回路12は、入力されたATMセルS10に対して8ビット→10ビット変換の第1段階を行う。ビット生成回路14は、第1の変換信号S12に対して8ビット→10ビット変換を行う。P/S変換回路16は、第2の変換信号S14を270Mbps・シリアル形式に変換し、1次群SDDIパケットとして出力する。

【0046】以上説明したように、データ送信装置1によれば、第1の実施例に示したATMセルを1次群SD

D I パケットのペイロード部のPADセルとして伝送することが可能になる。また、データ送信装置1は、第1の実施例において表1～表3に示した方法を実現可能である点で、この方法と同様の特徴を有する。

【0047】なお、ATMセル生成装置10を、ATM通信回線から受信したATMセルを8ビットパラレル形式に変換し、マッピング回路12に対して出力する装置に置換し、データ送信装置1をATM通信網に接続するように変形してもよい。また、データ送信装置1の各構成部分は、個別にハードウェア的に構成しても、ソフトウェア的に実現可能な部分をデジタルシグナルプロセッサ(DSP)等を用いた計算機上にソフトウェアとして構成してもよい。

【0048】

【実施例3】以下、本発明の第3の実施例を説明する。図3は、図1に示した方法によりSDDIパケットに含まれるPADセルに含まれるデータを取り出して出力するデータ受信装置2の構成を示す図である。図3に示すように、データ受信装置2は、シリアル/パラレル変換回路(S/P変換回路20、ビット除去回路22、マッピング回路24およびATMセル分解装置26から構成されており、例えば第2の実施例に示したデータ送信装置1が生成し、SDDI方式のデータ伝送システム(図示せず)から受信したPADセルを含む1次群SDDIパケットをATMセルに変換し、さらにATMセルのペイロードを取り出し、オーディオデータ、ビデオデータおよび計算機用のデータ等の出力データDOUT₁～DOUT_nとして出力する。

【0049】つまり、データ受信装置2は、第2の実施例に示したデータ送信装置1(図2)と逆の動作を行う装置である。なお、図示の簡略化のため、図3においては、データ受信装置2の各部分に対するタイミング信号を生成するタイミング系は省略して図示してある。

【0050】S/P変換回路20は、SDDI方式のデータ伝送システムとのインターフェース装置を含んでおり、SDDI方式のデータ伝送システムから受信した270Mbps・シリアル形式の1次群SDDIパケットを受信し、10ビットパラレル形式のパラレル信号S20に変換してビット除去回路22に対して出力する。ビット除去回路22は、第1の実施例において表4に示したように、パラレル信号S20のSDDIパケットのPADセルの各ワードの第10ビットを除去し、9ビットパラレル形式の第1の変換信号S22としてマッピング回路24に対して出力する。

【0051】マッピング回路24は、第1の実施例において表5に示したように、第1の変換信号S22のPADセルを区切りなおし、8ビットパラレル形式のATMセルS24を生成してATMセル分解装置26に対して出力する。ATMセル分解装置26は、ATMセルS24のペイロードを取り出して、出力データDOUT₁～

DOUT_nとして、データ受信装置2に接続される映像編集装置、記録装置および計算機等のデータ処理機器(図示せず)に対して出力する。

【0052】以下、データ受信装置2の動作を説明する。S/P変換回路20は、SDDI方式のデータ伝送システムから1次群SDDIパケットを受信し、10ビットパラレル形式のパラレル信号S20に変換し、ビット除去回路22は、このSDDIパケットのPADセルの各ワードの第10ビットを除去する。マッピング回路24は、ビット除去回路22から入力されたPADセルを区切りなおし、ATMセル分解装置26は、ATMセルS24のペイロードを出力データDOUT₁～DOUT_nとして映像編集装置等に対して出力する。

【0053】以上に示したように、データ受信装置2によれば、第1の実施例に示した表4および表5に示す処理を実現し、SDDI方式のデータ伝送システムから受信した1次群SDDIパケットのペイロード部のPADセルからATMセルのペイロードを取り出してデータ処理機器に供給することができる。また、データ受信装置2は、第1の実施例において表4および表5に示した方法を実現可能である点で、この方法と同様の特徴を有する。

【0054】なお、ATMセル分解装置26を、ATM通信回線に対してATMS24を送出する装置に置換し、データ受信装置2をATM通信網に接続するように変形してもよい。また、データ受信装置2の各構成部分は、個別にハードウェア的に構成しても、ソフトウェア的に実現可能な部分をデジタルシグナルプロセッサ(DSP)等を用いた計算機上にソフトウェアとして構成してもよい。

【0055】

【実施例4】以下、本発明の第4の実施例を説明する。第4の実施例においては、第1の実施例に示した方法の変形例であって、SDDIパケットのPADセルに、SDDI方式の伝送システムにおいてルーティング処理等に用いられる3バイトのルーティングデータを付加して変換する方法を説明する。図4は、第4の実施例におけるSDDI方式の1次群SDDIパケットのペイロード部をルーティングデータを有するセルに分割する方法を示す図であって、(A)は525/60ビデオ信号用のSDDIパケットを3バイトのルーティングデータを有するセルに分割する場合を示し、(B)は変換前のルーティングデータとATMセルとを示し、(C)は(A)に示した分割方法の変形例を示す。

【0056】図4(A)に示すように、3バイトのルーティングデータをPADセルに付す場合には、SDDIパケットのペイロード部を51W×28のPADセルに分割して用いる。ルーティングデータは、図4(B)に示すように、ATMセルの先頭に付加される。このルーティングデータが付加されたATMセルを図4(A)に

示すSDDIパケットのPADセルに適合させるためには、第1の実施例において説明した方法と同様に、図4(B)に示す2つの部分に分けて8ビット→10ビット変換を行う。

【0057】図4(B)に示す第1の部分、つまり、ルーティングデータ(3バイト)、ATMセルのヘッダ(5バイト)およびペイロードの第1～第3バイトの計11バイトについては、第1の実施例において表1に示したように、PADセルの各ワードの第9ビットとしてダミーデータdを付加し、各ワードの第10ビットとしてダミーデータの反転論理値d'を付加して8ビット→10ビット変換を行い、SDDIパケットのPADセルの第1～第11ワードとする。

【0058】図4(B)に示す第2の部分、つまり、ペイロードの第4～第48バイトの計45バイトについては、第1の実施例において表2に示したように、まず、ATMセルのペイロードの第4～第48バイトの8ビット×45の配列を9ビット×40の配列に変換し、PADセルの各ワードの第9ビットの論理反転値を各ワードの第10ワードとし、PADセルの第12～第48ワードとする。上述したPADセルに含まれるデータをATM通信網に対して送出する場合は、PADセルのペイロードの第1～第3バイトを取り除いてから、第1の実施例において表4および表5に示したのと同様に、10ビット→8ビット変換を行ってPADセルをATMセルに逆変換すればよい。

【0059】以上のように、各PADセルにルーティングデータを付加することにより、ATMセルに含まれるデータを変更することなく、放送局等におけるSDDI方式の伝送システムにおいて柔軟な伝送処理を行うことができるようになる。このように、ルーティングデータの付加により、第1の実施例に示した方法と全く同じ方法で変換してもSDDI伝送パケットからATM通信網に直接、データを送出できなくなる。しかし、10ビット→8ビット変換を行った後に、ルーティングデータを

取り除くことにより、ATM通信網にデータを送出することが可能になるので、大きな問題とはならない。

【0060】なお、図4(A)、(B)に示した方法によりATMセルとPADセルとを相互に変換する他、同期符号EAV以外の全ての領域をPADセルに割り当てることにより、さらにデータの伝送効率を高めることが可能である。つまり、図4(C)に示すように、最大、1つのSDDI伝送パケットを、第1の実施例において表1および表2に示した方法により8ビット→10ビット変換した35個のPADセルに分割することができる。同様に、第2の実施例に示したように、3バイトのルーティングデータを付したATMセルを8ビット→10ビット変換して、1つのSDDI伝送パケットを最大33個のPADセルに分割することができる。

【0061】ここで、図1および図4に示したSDDI方式およびATM方式の1次群パケット(270MHz)による伝送容量をまとめると、表6に示す通りとなる。最大伝送容量は表6の最下段に示した通りとなるが、1次群を2次群に多重化する場合には、2次群の伝送パケット(フレーム)の構成上、表6中段に示す値が最大値となる。但し、実際には、運用方法として規定されているように、ATM方式の通信網においては回線使用率を適当に抑えるため、表6の最下段に示す最大値としても差し支えない。

【0062】回線使用率を適当に抑えることは、一般には、発生するデータは伝送容量以下となるように設定し、瞬間的に前者が後者をオーバーした場合に、バッファリングしてオーバーフローを回避する方法により行われる。ただし、このような動作を行った場合、伝送遅延が大きくなる。また、セルに優先順位を付して、輻輳が最悪になった場合に、ランクが低いセルを捨てる方法もあるが、この方法は再送可能なデータを扱う場合に限られる。

【0063】

【表6】

SDDI方式およびATM方式の1次群パケットの伝送容量

SDDI方式	;	525/60	;	625/50	;
-----;					
ATM方式	W/cell	;	48(図1)	;	51(図4)
=====;					
SDDIペイロード部使用;					
cell/ 伝送パケット;	29	;	28	;	29
伝送容量 Kcell/s	436.30326	;	412.25832	;	422.250
-----;					
全領域使用	;		;		;
cell/ 伝送パケット;	32	;	30	;	32
伝送容量 Kcell/s	491.02848	;	472.0275	;	50.000
-----;					
全領域使用	;		;		;
cell/ 伝送パケット;	(35)	;	(33)	;	(35)
					(33)

伝送容量 Kcell/s ; (537.0624) ; (506. ; (546.875) ; (515.625) ;
; ; 37312) ; ; ;

... (6)

なお、() を付して示した数値(最下段)は2次群の伝送フレームを考慮しない最大限の値を示し、中段の数値は2次群の伝送フレームを考慮した最大値を示す。

【0064】

【実施例5】以下、本発明の第5の実施例を説明する。

図5は、図4に示したルーティングデータを有するPADセルを伝送するルーティング機能を有するデータ伝送システム3の構成を示す図である。図6は、図5に示したルーティングスイッチ(RS)32の構成例を示す図である。

【0065】図5に示すように、データ伝送システム3は、SDDIパケット生成/分解回路(SDDI回路)30、ルーティングスイッチ32、インターフェース回路(IF回路)38、P/S変換回路34およびS/P変換回路36から構成されており、データ伝送システム3に接続されるデータ処理機器(図示せず)から入力される入力データ $DIN_1 \sim DIN_n$ を含む、図4に示したSDDIパケットを生成してATM通信網、あるいは、出力データSOUTとしてSDDI方式のデータ伝送システム(図示せず)に対して送出する。また、データ伝送システム3は、SDDI方式のデータ伝送システムから受信した入力信号SINに含まれるSDDIパケットからATMセルを生成してATM通信網に送出し、あるいは、ATMセルからペイロードを取り出してデータ処理機器に対して $DOUT_1 \sim DOUT_n$ として出力する。

【0066】SDDI回路30は、データ伝送システム3に接続されるデータ処理機器から入力された入力データ $DIN_1 \sim DIN_n$ をペイロード部のPADセルを含む図4(A)に示した10ビットパラレル形式・27MbpsのSDDIパケットS30aを生成し、ルーティングスイッチ32に対して出力するとともに、ルーティングスイッチ32から入力された図4(A)に示したSDDIパケットS30bのペイロード部のPADセルからデータを取り出して出力データ $DOUT_1 \sim DOUT_n$ としてデータ処理機器に対して出力する。なお、以下、第5の実施例において、特に断らないかぎり、SDDIパケットは図4(A)に示したSDDIパケットを示す。

【0067】IF回路38は、ATM通信網から受信したATMセルを、SDDIパケットに変換してルーティングスイッチ32の入力端子eに対して出力するとともに、ルーティングスイッチ32の出力端子fから入力されたSDDIセルをATMセルに変換してATM通信網に対して出力する。

【0068】P/S変換回路34は、ルーティングスイ

ッチ32の出力端子bから入力された10ビットパラレル形式・27MbpsのSDDIパケットをシリアル形式・270Mbpsの伝送信号SOUTに変換し、SDDIデータ伝送システムに対して送信する。S/P変換回路36は、SDDIデータ伝送システムから入力されたシリアル形式・270Mbpsの伝送信号SINを10ビットパラレル形式・27MbpsのSDDIパケットに変換し、ルーティングスイッチ32の入力端子dに対して出力する。

【0069】ルーティングスイッチ32は、例えば図6に示すように、セレクト回路(SEL)320、FIFO回路322およびアドレス検出回路324から構成されており、入力端子dからSDDIパケットのルーティングデータ、あるいは、設定により、PADセルの第4～第9ワードに含まれるATMのヘッダに含まれるデータを検出し、検出したデータに基づいて出力端子aまたは出力端子cから出力する。なお、ルーティングスイッチ32は、入力されたSDDIパケットが出力端子bから出力されるべきものである場合には、そのSDDIパケットを出力端子cに対して出力しない。

【0070】アドレス検出回路324は、データ伝送システム3に対する設定により、SDDIパケットのルーティングデータ、あるいは、ATMのヘッダに含まれるデータを検出し、このデータに基づいて出力端子b、cのいずれに出力すべきかを判断し、制御信号C320を介してセレクト回路320を制御する。セレクト回路320は、制御信号C320を介したアドレス検出回路324の制御に従って、入力端子aおよびアドレス検出回路324から入力されたSDDIパケットをFIFO回路322に対して出力するとともに、入力端子aおよびアドレス検出回路324から入力されたSDDIパケットの衝突制御を行う。FIFO回路322は、ルーティングスイッチ32とP/S変換回路34とのデータ入出力のタイミングを合わせ、P/S変換回路34に対してSDDIパケットを出力する。なお、図6においては、図示の簡略化のために、入力端子eおよび出力端子fに関する構成部分を省略して図示してある。

【0071】以下、データ伝送システム3の動作を説明する。データ処理機器からSDDI回路30に入力された入力データ $DIN_1 \sim DIN_n$ は、SDDIパケットS30aとして入力端子aから、また、S/P変換回路36においてパラレル形式に変換されたSDDIパケットは入力端子dからルーティングスイッチ32に入力される。ルーティングスイッチ32は、入力端子aから入力されたSDDIパケットを出力端子bから出力するとともに、入力端子dから入力されたSDDIパケットの

PADセルのルーティングデータまたはATMセルのヘッダのデータに基づいて、このデータが出力端子b, cのいずれから出力されるべきか判断し、出力されるべき出力端子b, cのいずれかにルーティングし、P/S変換回路34を介して出力データSOUTとして出力する。

【0072】ATMセルのヘッダおよびSDDIパケットのルーティングデータは、第1の実施例および第4の実施例において、表1および表3に示したように8ビット→10ビット変換されているので、配列を変換することなく内容を読みだすことができる。従って、アドレス検出回路324の構成および処理が簡単で済む。

【0073】なお、ルーティングスイッチ32において、入力端子aにも対応してアドレス検出回路324およびセクタ回路320を設け、任意の入力端子から入力されたSDDIパケットを任意の出力端子から出力するようにルーティングスイッチ32を構成してもよい。また、ルーティングスイッチ32がSDDIパケットのATMセルのヘッダに基づいてルーティングを行う場合、データ伝送システム3を図1に示したSDDIパケットの伝送に用いることも可能である。

【0074】

【実施例6】以下、本発明の第6の実施例を説明する。第6の実施例においては、現在、検討されているHDTV対応のSDDIパケット(1.485Gbps; 以下、1.5Gパケットと略記する)を2次群と位置づけ、これにATM方式に対応させたSDDI方式(これを1次群として位置付ける)の多重分離方法について説明する。図7は、第6の実施例において、図1および図4に示した方法で生成されたPADセルを含む6つの1次群のSDDI方式の伝送用パケットを、1つのSDDI方式のHDTV対応の伝送パケットに多重化する方法を示す図であって、(A)は図1に示した方法に係るSDDI1次群伝送パケットを多重化する場合を示し、(B)は図4

(A)に示した方法に係るSDDI1次群伝送パケットを多重化する場合を示し、(C)は1.5Gフレームのペイロード部における各SDDIフレームのPADセルの多重化方法を示す。

【0075】図7(A), (B)に示すように、1.5Gフレームは、1フレームが4400W×10ビットの構成であり、SDDIパケットと同様に、先頭に8Wの同期符号EAV(3FFh, 3FFh, 000h, 00

0h, 000h, 000h, XYZ, XYZ)を、最後に2WのCRC符号を有し、1.5Gbpsでシリアル伝送される。この1.5Gフレームに、第1の実施例において図1、表1および表2に示した方法で生成されたPADセルを含む6個のSDDIパケットを多重化するためには、図7(A)に示すように、1.5Gフレームのペイロード部分の空き領域(第5~第74ワード; 70W)以降の領域を(6×48W)の15の多重化セルM₁~M₁₅に分割して用いる。

【0076】図7(C)に示すように、多重化セルそれぞれには、第1~第6のSDDIパケットそれぞれに含まれるPADセルそれぞれのワードW_{1q}, W_{2q}, ..., W_{6q} (1≤q≤n=15)がワード多重化されている。図7(C)に示したように、それぞれのSDDIパケットのPADセルに含まれるワードを順次、ワード単位で多重化する多重化方法は、ATM方式において、4つの1次群伝送パケットを1つの2次群伝送パケットに多重化する方法に同じである。

【0077】また、第4の実施例において、図4(A)に示したように、3バイトのルーティングデータを付したATMセルを8ビット→10ビット変換して得られるPADセルを含む6つのSDDIパケットを1つの1.5Gフレームに多重化するためには、図7(B)に示すように、1.5Gフレームのペイロード部分の空き領域(第5~第110ワード; 106W)以降の領域を(6×51W)の14の多重化セルM₁'~M₁₄'に分割して用いる。

【0078】図7(B)に示す場合も、図7(A)に示した場合と同様に、多重化セルそれぞれには、第1~第6のSDDIパケットそれぞれのPADセルそれぞれに含まれるワードW_{1q}, W_{2q}, ..., W_{6q} (1≤q≤n=14)がワード単位で多重化される。なお、図7(B)に示す方法によって多重化された1.5Gフレームは、ルーティングデータが含まれるため、直接、ATM回線には接続できない。しかし、ワード多重化されているため、ルーティングデータは容易に取り除くことが可能であり、これを取り除くことによりATM回線への接続が可能になる。

【0079】図7(A), (B)に示した方法で多重化された1.5Gフレームの伝送容量を表7に示す。

【0080】

【表7】

図7(A), (B)に示した方法で多重化された1.5Gフレームの伝送容量

ATMセル W/cell	48	51	
=====			
cell/ 伝送フレーム	15×6	14×6	
伝送容量 k cells/s	3,037.500	2,835.000	
伝送容量 k cells/sch	506.250	472.500	... (7)

【0081】なお、表7において、「cell/ 伝送フレーム」はHDTV1ライン相当分であり、1125ライン

×30は1秒当たりのライン数となる。従って、48Wセルの場合(ただし、伝送フレームは270M, 1.5

Gともビデオの1ライン=1フレームの構成)には、秒当たりのセル数は表7に示すように約3Mセルとなる。1次群当たりのセル数は約506Kであり、1次群のセル数は約491Kよりも多くなる。

【0082】第7の実施例に示したように、ワード単位の多重化により6つの1次群SDDIパケットを1つの1.5Gフレームに多重化すると、ビット多重した場合と異なり、ATMヘッダの内容を直接、読むことが可能であり、PADセル単位で多重化した場合に比べて必要となるハードウェア量が少なくて済む。また、図7

(A)、(B)に示した1.5Gフレームにおいて、同期符号EAVの後ろの空き領域を、多重化された6つのSDDI伝送それぞれに対応する6つの独立したデータ領域に分割し、図7に示した1.5Gフレームを用いて伝送を行うSDDI方式のデータ伝送システムにおける同期確立、伝送制御および網管理等のためのデータの伝送に用いることも可能である。なお、この空き領域の分割は、6の整数倍の領域に分割するのが好適である。6の整数倍に分割すると、多重化セルとの関係上、ハードウェアの構成が簡単になるからである。

【0083】また、第7の実施例に示したように6つの1次群SDDIパケットを多重化することにより、1次群のSDDIパケット相互間および1次群のSDDIパケットと1.5Gフレームとの非同期伝送および同期伝送が可能である。つまり、SDH方式のデータ伝送システムにおいては、データ伝送システム全体が網同期して動作する必要があり、SDIパケット同士を非同期に伝送することができなかった。

【0084】しかし、第7の実施例に示した変換方法によれば、1.5Gフレームと1次群SDDIパケットとの間の多重化・分離処理の際に、データを若干量バッファリングすることにより、1次群のSDDIパケット相互間および1次群のSDDIパケットと1.5Gフレームとの非同期伝送が可能となっている。なお、SDI方式は、テレビジョン放送局等において用いられる同期信号に同期して動作するので、従来のPDHにも好適に適合する。

【0085】

【実施例7】以下、本発明の第7の実施例を説明する。図8は、図7に示した1.5Gフレームを6つの1次群SDDIパケットに分離する分離装置5の構成を示す図である。図8に示すように、分離装置5は、インターフェース回路(I/F; I/F回路)50およびデマルチプレクサ52から構成され、デマルチプレクサ52は、記憶回路(RAM)520、スイッチ回路(SW)522およびタイミング回路(TG)524から構成される。

【0086】I/F回路50は、図7(A)、(B)に示した1.5Gフレームを、等化・識別および再生し、20本の74.25Mbpsビットストリーム(以下、74Mビットストリームと記す)、つまり、2ワード×7

4.25Mbpsのビットストリームに変換して記憶回路520に対して出力する。さらに、I/F回路50は同期符号EAVを検出してタイミング回路524に対して出力する。20本の74.25Mbpsビットストリームとするのは、このようにするのがHDTVの平行規格となっており、ハードウェア等も既に開発済みのものを用いることができるからである。

【0087】タイミング回路524は、I/F回路50において検出された同期符号EAVに基づいて、スイッチ回路522の切り替え動作を制御する。なお、図8中に点線で示すように、タイミング回路524が、分離装置5に接続されるATMスイッチ(図示せず)が用いるタイミング信号を供給するように構成してもよい。記憶回路520は、74Mビットストリームを記憶し、1.5Gフレームの空き多重化セルを取り除いてスイッチ回路522に対して出力する。従って、記憶回路520が出力するデータの量は、記憶回路520に入力されたデータの量よりも少なくなる。このように記憶回路520で空き多重化セルを取り除くのは、第4の実施例において表6に、第7の実施例において表7に示したように、6本の1次群SDDIパケットで伝送可能なデータ量は、1.5Gフレームで伝送可能なデータ量よりも少ないので、多重時にビットレートを揃えるために空き多重化セルが挿入されているからである。

【0088】スイッチ回路522は、タイミング回路524の制御に従って、所定のセル可能位置(伝送フレーム中のPADセルの区切りに合わせる)の先頭から順次、74Mビットストリームを6本の1次群SDDIパケットSDDI₁~SDDI₆に変換して出力する。なお、空き多重化セル(空きセル)は、1次群においても2次群においても送るべきデータがない場合にダミーデータを挿入するという意味で、VPI/VCIにおいて、明文化されていないながら指定がある。(ただし、ペイロード(48W)は固定とすることが明文化されている。)これは、同期再生・タイミング再生に必要であるが、ユーザには直接の関係がなく、CLADで適宜、挿抜される。

【0089】図9は、6つの1次群SDDIパケットから、図7に示した1.5Gフレームを生成する多重化回路4の構成を示す図である。図9に示すように、多重化回路4は、マルチプレクサ40およびインターフェース回路(I/F; I/F回路)42から構成され、マルチプレクサ40は、スイッチ回路(SW)400、タイミング回路(TG)402、EAV発生回路(EAV)404および記憶回路(RAM)406から構成される。

【0090】スイッチ回路400は、タイミング回路402から入力されるタイミング信号に従って、入力された6本の1次群SDDIパケットを多重化し、多重化データとしてワード単位で記憶回路406に対して出力する。記憶回路406は、1.5Gフレームのセル可能位

置に合わせてスイッチ回路400からの多重化データを記憶し、分離装置5とは逆に、1.5Gフレームにおける空き領域に所定のデータ、例えば固定値1または0を挿入し、さらに、図7に示した位置にEAV発生回路404から入力された同期符号EAV、および、必要ならば伝送制御用のデータを挿入し、20本の74MビットストリームとしてIF回路42に対して出力する。

【0091】以上説明した多重化回路4および分離装置5を用いることにより、図7に示した1.5Gフレームを用いたデータ伝送システムを実現することができる。なお、図9中に点線で示すように、多重化回路4においても、タイミング回路402が、多重化回路4に接続されるATMスイッチ（図示せず）が用いるタイミング信号を供給するように構成してもよい。また、多重化回路4および分離装置5の各構成部分は、個別にハードウェア的に構成しても、ソフトウェア的に実現可能な部分をデジタルシグナルプロセッサ（DSP）等を用いた計算機上にソフトウェアとして構成してもよい。

【0092】

【実施例8】以下、本発明の第8の実施例を説明する。図10は、2次群伝送路で用いられるATMスイッチ6の構成を示す図である。1.5Gフレームを用いる2次群伝送路でデータ伝送システム、特にLANシステムを構成する場合、1.5Gフレームから直接、ATMセルのヘッダを読み出してスイッチング（交換）を行う方法と、一度、1次群に分離してからスイッチングを行う方法とがある。前者は、1.5GHzの信号を処理する必要があるため高速処理が必要であり、スイッチング処理が難しい。一方、後者は2次群を1次群に分離する処理、スイッチング処理および1次群を2次群に多重化する処理が必要となり、スイッチング処理が複雑化するという問題がある。全国的なATM通信網といった大規模な通信網を考えた場合、いずれの方法も考えるが、例えば企業内通信網といった、比較的小規模なATM通信網に用いるスイッチング装置としては、上記2つの方法はいずれも採りがたい。

【0093】ATMスイッチ6は、比較的小規模なATM通信網に用いられるスイッチング装置であって、ハブ（端末）ごとに予め設定された群をアクセスすることにより、1段階でATMスイッチング装置を実現したものである。図10に示すように、ATMスイッチ6は、スイッチ回路601～60n、ATMセル生成回路62およびATMセル分解回路64から構成される。ATMスイッチ6に接続されるハブ（図示せず）は、スイッチ回路601～60nそれぞれに対応する1次群のいずれかに属しており、この属性はハブそれぞれに割り当てられるATMセルのヘッダのアドレスあるいはVCI（Virtual Channel Identification; VPI（Virtual Path Identification）とともにATMセルの宛て先を識別するために用いられる）に反映される。具体的には、例え

ばATMセルのヘッダの特定のビットが論理値1であるか0であるかを判断するといったことにより、比較的容易にハブがいずれの1次群に属するか判定可能にしておくことが好適である。

【0094】ATMセル生成回路62は、接続されたハブから入力される入力データDINを含むATMセルを生成し、さらに、図1等に示したSDDIパケットとしてスイッチ回路601～60nに対して出力する。スイッチ回路601～60nは、それぞれATMセル生成回路62から入力されたSDDIパケットについて、例えば上述のように属性が反映されたSDDIパケットのATMヘッダのアドレスを判断し、宛て先のハブが接続されている場合にのみスイッチングを行い、出力データSOUT1～SOUT6として出力する。

【0095】同様に、スイッチ回路601～60nは、それぞれ入力データSIN1～SIN6として入力されたSDDIパケットについて、ATMヘッダのアドレスを判断し、宛て先のハブが接続されている場合にのみスイッチングを行い、ATMセル分解回路64に対して出力する。このようにATMスイッチ6を構成することにより、スイッチ回路601～60nそれぞれは、他の5つのスイッチ回路が交換すべきSDDIパケットに対する処理を行う必要がないので、高速な処理が比較的要求されない。従って、1段階のスイッチング処理でATM通信網のスイッチング装置を構成することができるので、第8の実施例の冒頭に示した2つの方法に比べて装置規模が非常に小さくて済む。

【0096】なお、図10に示した場合と逆に、スイッチ回路601～60nをハブからデータが入力される側を1チャネルとし、ハブにデータを出力する側を6チャネルに構成してもよく、この場合も上述の方法より小型に構成することが可能である。また、入力データSIN1～SIN6のアドレス判定回路をスイッチ回路601～60nそれぞれにおいて2重系とし、スイッチ回路601～60nのいずれかが障害を起こした場合に、他のスイッチ回路にスイッチング処理を代行させるように構成してもよい。このように構成することにより、ATMスイッチ6の信頼性を飛躍的に高めることが可能である。

【0097】

【発明の効果】以上述べたように、本発明に係るデータ伝送方法およびその装置によれば、放送機器等の間の音声・映像データの伝送に好適なSDDIパケットおよびSDDIパケットとATMセルとを整合させることができる。また、本発明に係るデータ伝送方法およびその装置によれば、SDDIパケットおよびSDDIパケットに複数のアドレスを含めることを可能とし、伝送制御等に用いられる短い制御データを伝送する場合にもデータの伝送の効率が低下しない。

【図面の簡単な説明】

【図1】第1の実施例におけるSDI方式を改良したSDDI方式の1次群SDDIパケットのペイロード部をATM方式に対応したセルに分割する方法を示す図であって、(A)は525/60ビデオ信号用のSDDIパケットをセルに分割した場合を示し、(B)は625/60ビデオ信号用の1次群SDDIパケットをセルに分割した場合を示す。

【図2】図1に示した方法によりATMセルをSDDIパケットに適合させるデータ送信装置の構成を示す図である。

【図3】図1に示した方法によりSDDIパケットに含まれるPADセルに含まれるデータを取り出して出力するデータ受信装置の構成を示す図である。

【図4】第4の実施例におけるSDDI方式の1次群SDDIパケットのペイロード部をルーティングデータを有するセルに分割する方法を示す図であって、(A)は525/60ビデオ信号用のSDDIパケットを3バイトのルーティングデータを有するセルに分割する場合を示し、(B)は変換前のルーティングデータとATMセルとを示し、(C)は(A)に示した分割方法の変形例を示す。

【図5】図4に示したルーティングデータを有するPADセルを伝送するルーティング機能を有するデータ伝送システムの構成を示す図である。

【図6】図5に示したルーティングスイッチ(RS)の構成例を示す図である。

【図7】第6の実施例において、図1および図4に示した方法で生成されたPADセルを含む6つの1次群のSDDI方式の伝送用パケットを、1つのSDDI方式のHDTV対応の伝送パケットに多重化する方法を示す図であって、(A)は図1に示した方法に係るSDDI 1

次群伝送パケットを多重化する場合を示し、(B)は図4(A)に示した方法に係るSDDI 1次群伝送パケットを多重化する場合を示し、(C)は1.5Gフレームのペイロード部における各SDDIフレームのPADセルの多重化方法を示す。

【図8】図7に示した1.5Gフレームを6つの1次群SDDIパケットに分離する分離装置の構成を示す図である。

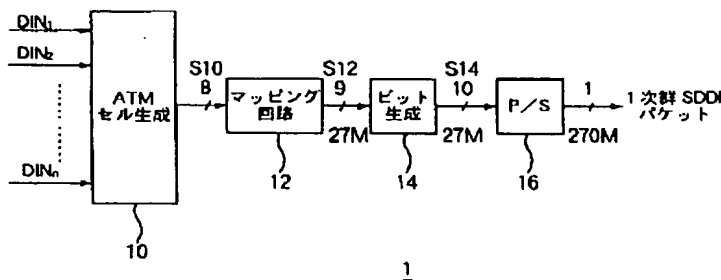
【図9】6つの1次群SDDIパケットから、図7に示した1.5Gフレームを生成する多重化回路の構成を示す図である。

【図10】2次群伝送路で用いられるATMスイッチの構成を示す図である。

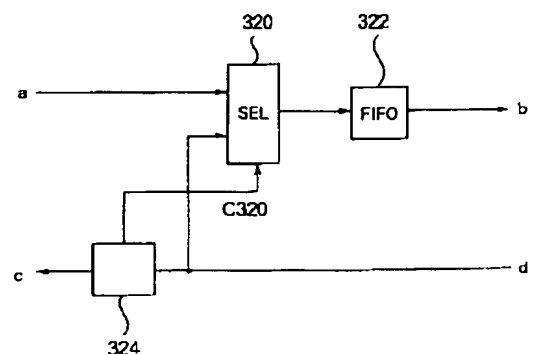
【符号の説明】

1…データ送信装置、10…ATMセル生成装置、12…マッピング回路、14…ビット生成回路、16…P/S変換回路、2…データ受信装置、20…S/P変換回路、22…ビット除去回路、24…マッピング回路、26…ATMセル分解装置、3…データ伝送システム、30…SDDI回路、34…P/S変換回路、36…S/P変換回路、38…IF回路、32…ルーティングスイッチ、320…セクタ回路、322…FIFO回路、324…アドレス検出回路、5…分離装置、50…IF回路、52…デマルチプレクサ、520…記憶回路、522…スイッチ回路、524…タイミング回路、4…多重化回路、40…マルチプレクサ、400…スイッチ回路、402…タイミング回路、404…EAV発生回路、42…IF回路、6…ATMスイッチ、60₁～60_n…スイッチ回路、62…ATMセル生成回路、64…ATMセル分解回路

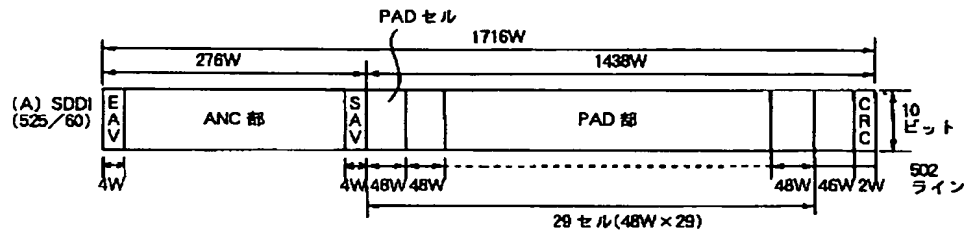
【図2】



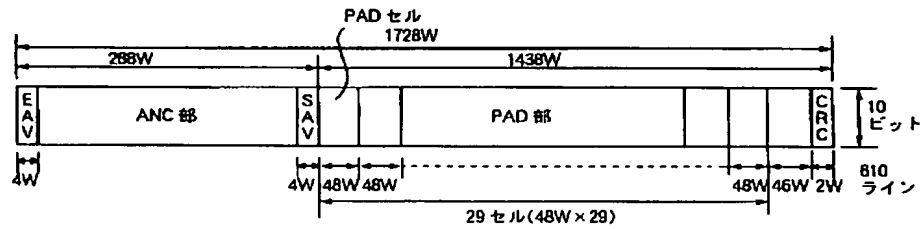
【図6】



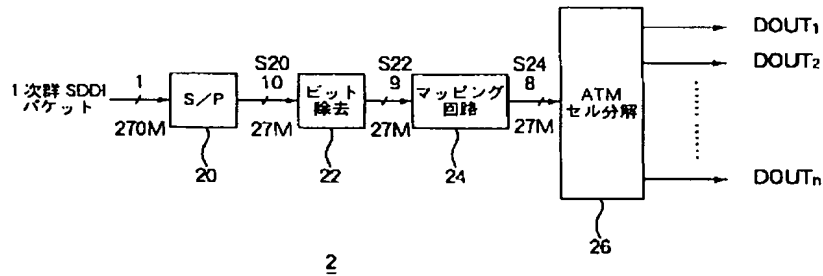
【図 1】



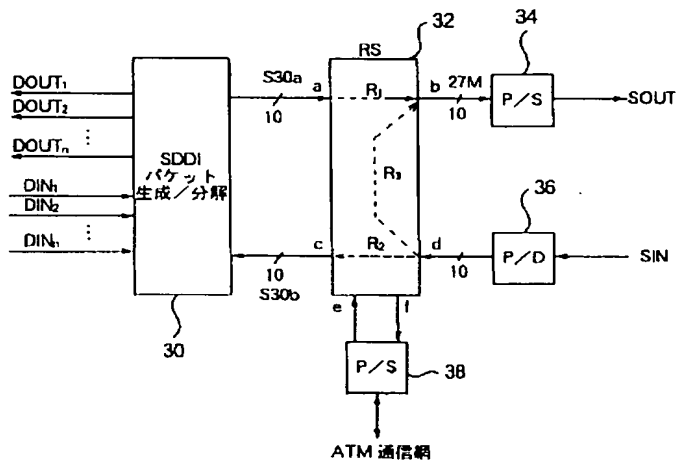
(B) SDDI (825/50)



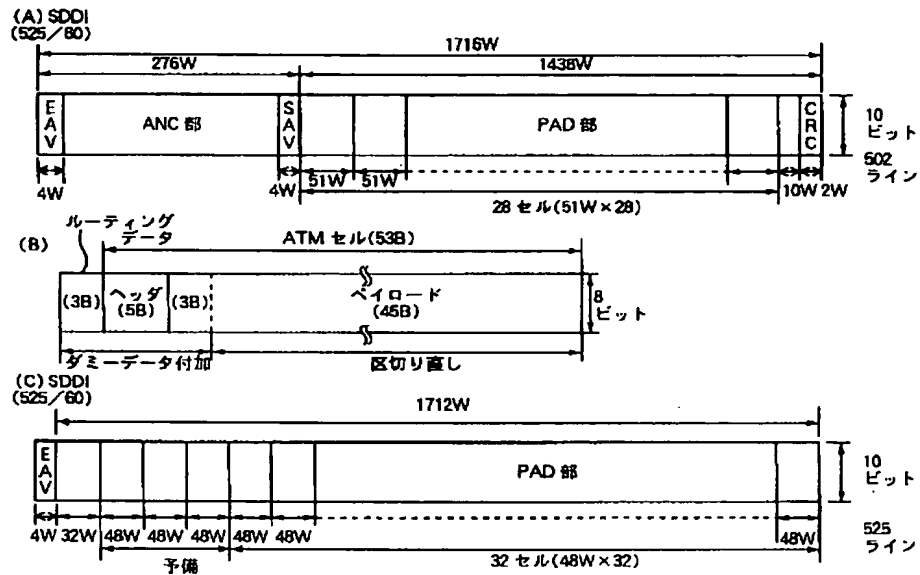
【図 3】



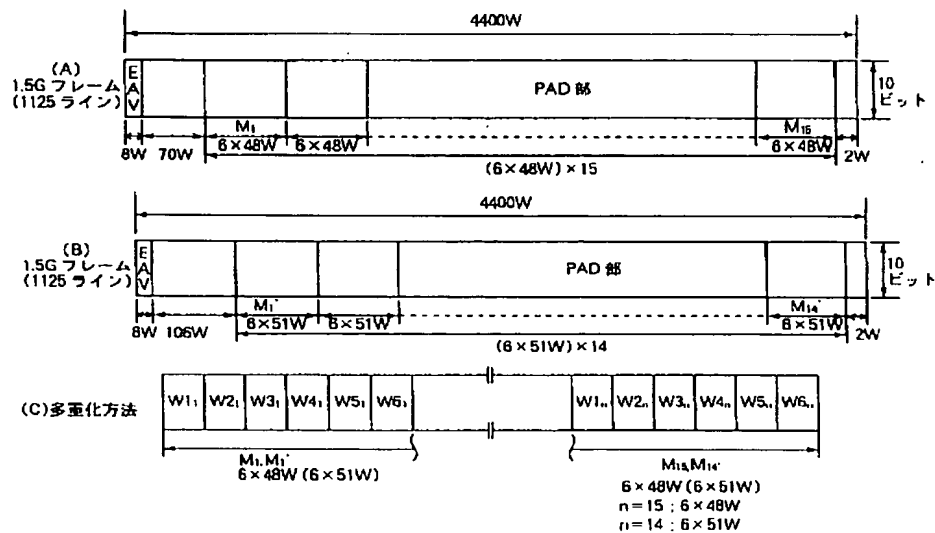
【図 5】



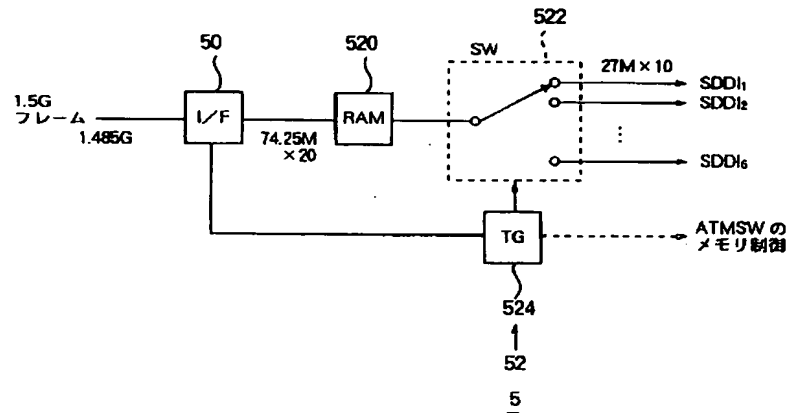
【図 4】



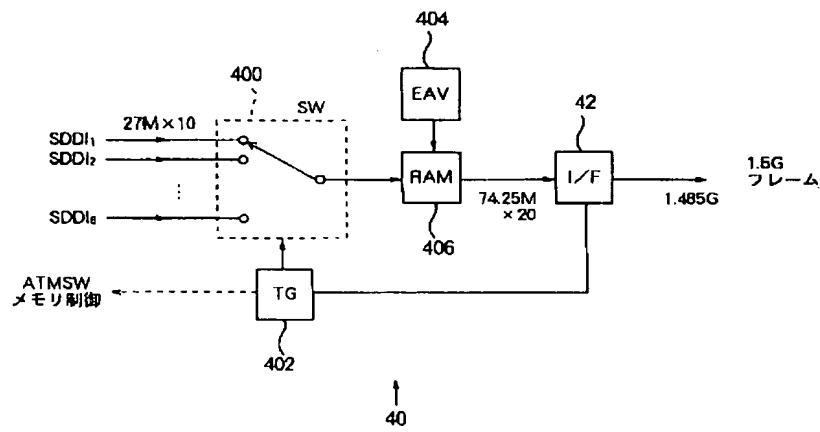
【図 7】



【図 8】



【図 9】



【図 10】

